

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-246587

(43)Date of publication of application : 30.08.2002

(51)Int.Cl.

H01L 29/737
H01L 21/331
H01L 21/28
H01L 21/768
H01L 29/417

(21)Application number : 2001-043357

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.02.2001

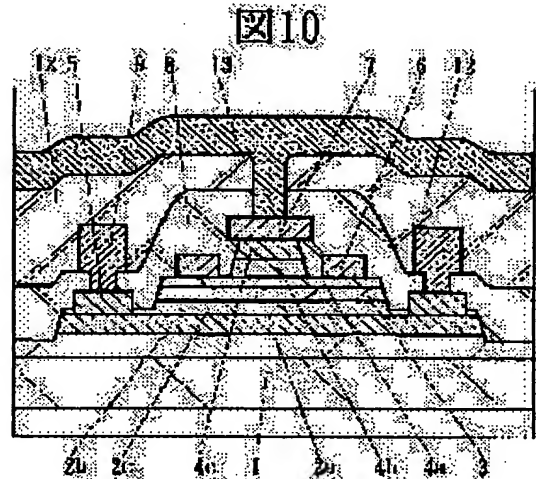
(72)Inventor : KUROKAWA ATSUSHI
YAMANE MASAO
KITAHARA TOSHIAKI
IMAMURA YOSHINORI
NOJIMA HAJIME

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To allow reduction of a semiconductor chip area by shrinking.

SOLUTION: In a semiconductor device, emitter layers of a plurality of semiconductor elements comprising a collector layer, a base layer, and an emitter layer formed on a semiconductor substrate are connected together by an emitter common wiring 13, while the collector layers are connected together by a collector common wiring 9. The collector common wiring 9 is formed at an interlayer insulating film 8 of a first layer and covers a main surface of the semiconductor substrate. The collector layer is connected to the collector common wiring 9 through an opening provided at the interlayer insulating film 8 of the first layer. The emitter common wiring 13 is formed at the interlayer insulating film 12 of a second layer, and covers the interlayer insulating film 8 of the first layer and the collector common wiring 9. The emitter layer is connected to the emitter common wiring through an opening provided at the interlayer insulating film 8 of the first layer, and the interlayer insulating film 12 of the second layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-246587
(P2002-246587A)

(43) 公開日 平成14年8月30日 (2002.8.30)

(51) Int.Cl.	識別記号	F I	テマコード* (参考)
H 0 1 L 29/737		H 0 1 L 21/28	G 4 M 1 0 4
21/331		29/72	H 5 F 0 0 3
21/28		21/90	D 5 F 0 3 3
21/768		29/50	B
29/417			

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2001-43357 (P2001-43357)

(22) 出願日 平成13年2月20日 (2001.2.20)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 黒川 敦

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 山根 正雄

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100083552

弁理士 秋田 収喜

最終頁に続く

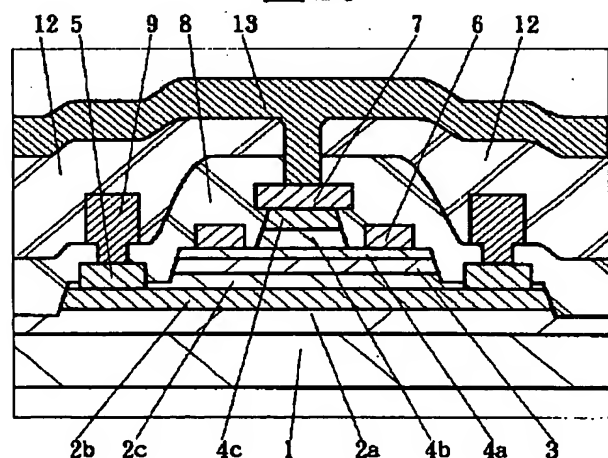
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】 (修正有)

【課題】 シュリンク化による半導体チップ面積の縮小を可能にする。

【解決手段】 半導体基板に形成されたコレクタ層、ベース層、エミッタ層をもつ複数の半導体素子の前記エミッタ層を互いにエミッタ共通配線13によって接続し、前記コレクタ層を互いにコレクタ共通配線9によって接続する半導体装置において、前記半導体基板主面を覆う1層目の層間絶縁膜8に前記コレクタ共通配線9が形成され、前記1層目の層間絶縁膜8に設けた開口を通してコレクタ層とコレクタ共通配線9とが接続され、前記1層目の層間絶縁膜8及び前記コレクタ共通配線9を覆う2層目の層間絶縁膜12に前記エミッタ共通配線13が形成され、前記1層目の層間絶縁膜8及び2層目の層間絶縁膜12に設けた開口を通してエミッタ層とエミッタ共通配線とが接続されている。

図10



【特許請求の範囲】

【請求項1】 半導体基板に形成されたコレクタ層、ベース層、エミッタ層をもつ複数の半導体素子の前記エミッタ層を互いにエミッタ共通配線によって接続し、前記コレクタ層を互いにコレクタ共通配線によって接続する半導体装置において、

前記半導体基板主面を覆う1層目の層間絶縁膜に前記コレクタ共通配線が形成され、前記1層目の層間絶縁膜に設けた開口を通してコレクタ層とコレクタ共通配線とが接続され、前記1層目の層間絶縁膜及び前記コレクタ共通配線を覆う2層目の層間絶縁膜に前記エミッタ共通配線が形成され、前記1層目の層間絶縁膜及び2層目の層間絶縁膜に設けた開口を通してエミッタ層とエミッタ共通配線とが接続されていることを特徴とする半導体装置。

【請求項2】 半導体基板に形成されたコレクタ層、ベース層、エミッタ層をもつ複数の半導体素子の前記エミッタ層を互いにエミッタ共通配線によって接続し、前記コレクタ層を互いにコレクタ共通配線によって接続する半導体装置において、

前記半導体基板主面を覆う1層目の層間絶縁膜に前記コレクタ共通配線が形成され、前記1層目の層間絶縁膜に設けた開口を通してコレクタ層とコレクタ共通配線とが接続され、前記コレクタ層とコレクタ共通配線との接続部上の少なくとも一部を平面的に横切るように前記エミッタ共通配線が配置されていることを特徴とする半導体装置。

【請求項3】 前記複数の半導体素子の前記ベース層を互いに接続するベース共通配線が、前記1層目の層間絶縁膜に、前記コレクタ共通配線と同層の配線層として形成されていることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】 前記半導体装置がHBTを有することを特徴とする請求項1乃至請求項3の何れか一項に記載の半導体装置。

【請求項5】 半導体基板に形成されたコレクタ層、ベース層、エミッタ層をもつ複数の半導体素子の前記エミッタ層を互いに共通エミッタ配線によって接続し、前記コレクタ層を互いに共通コレクタ共通配線によって接続する半導体装置の製造方法において、

前記半導体基板主面を覆う1層目の層間絶縁膜に前記コレクタ共通配線及びベース共通配線を形成し、前記1層目の層間絶縁膜に設けた開口を通して、コレクタ層とコレクタ共通配線とを、ベース層とベース共通配線とを夫々接続する工程と、

前記1層目の層間絶縁膜及び前記コレクタ共通配線を覆う2層目の層間絶縁膜に前記エミッタ共通配線を形成し、前記1層目の層間絶縁膜及び2層目の層間絶縁膜に設けた開口を通してエミッタ層とエミッタ共通配線とを接続する工程とを有することを特徴とする半導体装置の

製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、化合物半導体を用いた高速動作の半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】近年、通信・情報分野では、通信需要の拡大或いは処理情報の大容量化等の要求に対応する必要から、より高速に動作する半導体素子が求められており、こうした超高速動作が可能な半導体素子として、エミッタにワイドバンドギャップの半導体を用いたヘテロ接合バイポーラトランジスタ（Heterojunction Bipolar Transistor）（以下、HBTと云う）がある。HBTでは、エミッタがワイドバンドギャップのため、ベースからエミッタへの少数キャリアの逆注入が小さく、エミッタ注入効率が高いので電流利得が高く、また、ベース濃度を高くしても高い電流利得が維持できるので、ベース抵抗を小さくできるため、高電流利得の駆動能力の高い超高速動作が可能である。このため、マイクロ波領域の高周波を効率よく電力増幅を行なう必要がある携帯電話等の移動体通信の端末装置等に用いられている。

【0003】このような移動体通信端末装置の送信アンプ回路等に用いられる電力増幅トランジスタでは、その送信出力を大きくするために大電流化が必要となる。この大電流化を達成する方法として、バイポーラトランジスタでは各接合面の面積を増大させることが一般的に行なわれており、例えば、複数のバイポーラ半導体素子を並列に配置し、前記半導体素子のストライプ状のエミッタ・ベース・コレクタを夫々並列接続したマルチフィンガ構造が用いられている。

【0004】図1に示すのは、マルチフィンガ構造の半導体装置の要部を例示する平面図であり、図2に示すのは図1中のa-a線に沿った縦断面図である。この半導体装置は、パワーHBTであり、通常大電流で動作させるため、図1に示すフィンガ状の半導体素子を複数並列に接続した構成となっている。

【0005】本実施の形態の半導体装置の各単位フィンガは、例えば、半絶縁性GaAsを用いた半導体基体1上にエピタキシャル形成されたn-型コレクタ層2と、コレクタ層2上に形成されたp+型ベース層3と、ベース層3上に形成されたn-型エミッタ層4とからなる縦型構造のバイポーラトランジスタとなっており、コレクタ層2、ベース層3及びエミッタ層4は、夫々メサ形状として各フィンガ毎に分離する。

【0006】なお、コレクタ層2はノンドープGaAsのパッファ層2a、n+型GaAsのサブコレクタ層2b、n-型GaAsのコレクタ層2cを順次積層した構成となっており、エミッタ層4はn-型InGaP層4a、n-型GaAsのエミッタバラスト抵抗層4b、n

+型InGaAsをn+型GaAsに積層したオーミック層4cを順次積層した構成となっている。

【0007】コレクタ層2、ベース層3及びエミッタ層4には夫々コレクタ電極5、ベース電極6及びエミッタ電極7が接続されており、半導体基体1主面及び半導体基体1主面上に形成されたコレクタ電極5、ベース電極6、エミッタ電極7は、酸化珪素等の層間絶縁膜8によって覆われており、層間絶縁膜8に設けた開口によって部分的に露出したコレクタ電極5、ベース電極6、エミッタ電極7に、夫々コレクタ共通配線9、ベース共通配線10及びエミッタ取り出し配線11が接続されている。更に、コレクタ共通配線9、ベース共通配線10及びエミッタ取り出し配線11は、酸化珪素等の層間絶縁膜12によって覆われており、層間絶縁膜12に設けた開口によって部分的に露出したエミッタ取り出し配線11に、エミッタ共通配線13（図2中ではこの部分について、図1中のb-b線に沿った断面を示してある）が接続されている。

【0008】続いて、この半導体装置の製造方法について、図3乃至図8を用いて工程毎に説明する。まず、半導体性GaAs半導体基体1の上にMOCVD (Metalorganic Chemical Vapor Deposition) 法等によって、コレクタ層2、ベース層3、エミッタ層4となるエピタキシャル層を成長させ、WSi等の金属膜を堆積させ、ドライエッチングにより金属膜をパターニング加工してエミッタ電極7を形成する。この状態を図3に示す。

【0009】次に、パターニングしたエミッタ電極7をマスクとしてエミッタ層4をメサ形状にエッチング加工する。エミッタ層4のエッチング加工は等方性のエッチングによって行ない、エミッタ層4をサイドエッチングして、エミッタ電極7に対して夫々オーバーハング形状とする。この状態を図4に示す。

【0010】次に、パターニングしたレジストマスクの上に金属膜を形成し、レジストマスク及びその上の金属膜をとともに除去するいわゆるリフトオフ法によりベース電極6をパターニングする。この状態を図5に示す。

【0011】次に、ベース層3をメサ形状にエッチングして各フィンガ毎に分離する所謂ベースメサエッチングを行ない、このエッチングによって露出したコレクタ層2上にコレクタ電極5を形成する。この状態を図6に示す。次に、コレクタ層2をメサ形状にエッチングして複数のフィンガを電氣的に分離する。この状態を図7に示す。

【0012】次に、プラズマCVD法により例えば酸化珪素からなる層間絶縁膜8を堆積させ、ホトリソグラフィにより形成したレジストマスクを用いてコレクタ電極5、ベース電極6及びエミッタ電極7の接続領域を露出させる開口を形成し、全面に例えばAuMoからなる金属膜を堆積させ、ホトリソグラフィによるレジストマスクを形成し、このレジストマスクを用いたパターニング

によって、コレクタ共通配線9、ベース共通配線10及びエミッタ取り出し配線11を形成する。この状態を図8に示す。

【0013】この後、プラズマCVD法により例えば酸化珪素からなる層間絶縁膜12を堆積させ、ホトリソグラフィにより形成したレジストマスクを用いてエミッタ取り出し配線11の接続領域を露出させる開口を形成し、全面に例えばAuMoからなる金属膜を堆積させ、ホトリソグラフィによるレジストマスクを形成し、このレジストマスクを用いたパターニングによって、エミッタ共通配線13を形成して、図2に示す状態となる。

【0014】

【発明が解決しようとする課題】コレクタ共通配線9、ベース共通配線10及びエミッタ取り出し配線11のパターニングでは、金を加工するためイオンミリング等の物理的な反応による加工が主な方法となる。こうした加工では金属膜の加工残渣が残らないようにするため、加工するパターン相互の間隔を一定以上開ける必要がある。このためパターン相互の間隔等を規定する最小寸法レイアウトルールが決められており、このルールに従って配線層のレイアウトが決められている。

【0015】このため、同層の配線層であるコレクタ共通配線9、ベース共通配線10及びエミッタ取り出し配線11は近接させて形成することができず最低でも4μm程度の間隔を開ける必要があり、シュリンク化による半導体チップ面積の縮小が困難になっていた。特に、パワーHBTでは、ベース-コレクタ間の耐圧を確保するため、コレクタ層を厚くする必要がある。このため、エミッタ電極からコレクタ層までの段差が通常2μm以上となり、共通配線を近接させて形成すると前記段差部分に配線金属が残りやすく、配線のショートを起こしやすい。

【0016】本発明の課題は、これらの問題点を解決し、半導体チップ面積の縮小を進めることが可能な技術を提供することにある。本発明の前記ならびにその他の課題と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。半導体基板に形成されたコレクタ層、ベース層、エミッタ層をもつ複数の半導体素子の前記エミッタ層を互いにエミッタ共通配線によって接続し、前記コレクタ層を互いにコレクタ共通配線によって接続する半導体装置において、前記半導体基板主面を覆う1層目の層間絶縁膜に前記コレクタ共通配線が形成され、前記1層目の層間絶縁膜に設けた開口を通してコレクタ層とコレクタ共通配線とが接続され、前記1層目の層間絶縁膜及び前記コレクタ共通配線を覆う2層目の層間絶縁膜に前記エミッタ共通配線が形成され、前記1層

目の層間絶縁膜及び2層目の層間絶縁膜に設けた開口を通してエミッタ層とエミッタ共通配線とが接続されている。更に、前記複数の半導体素子の前記ベース層を互いに接続するベース共通配線が、前記1層目の層間絶縁膜に、前記コレクタ共通配線と同層の配線層として形成されている。

【0018】同様の半導体装置において、前記半導体基板主面を覆う1層目の層間絶縁膜に前記コレクタ共通配線が形成され、前記1層目の層間絶縁膜に設けた開口を通してコレクタ層とコレクタ共通配線とが接続され、前記コレクタ層とコレクタ共通配線との接続部上の少なくとも一部を平面的に横切るように前記エミッタ共通配線が配置されている。

【0019】前述した半導体装置の製造方法において、前記半導体基板主面を覆う1層目の層間絶縁膜に前記コレクタ共通配線及びベース共通配線を形成し、前記1層目の層間絶縁膜に設けた開口を通して、コレクタ層とコレクタ共通配線とを、ベース層とベース共通配線とを夫々接続する工程と、前記1層目の層間絶縁膜及び前記コレクタ共通配線を覆う2層目の層間絶縁膜に前記エミッタ共通配線を形成し、前記1層目の層間絶縁膜及び2層目の層間絶縁膜に設けた開口を通してエミッタ層とエミッタ共通配線とを接続する工程とを有する。

【0020】上述した本発明によれば、エミッタ引き出し配線を設けていないので、コレクタ共通配線及びベース共通配線をベース電極に近接させて配置することができる。このため、単位フィンガの占有面積が減少する。また、エミッタ引き出し配線を設けずにエミッタ電極上にエミッタ共通配線を配置しているため、更に単位フィンガの占有面積を減少させることが可能となる。更に、前記占有面積の減少によって半導体チップのシュリンク化ができるので、コストの低減が可能となる。

【0021】以下、本発明の実施の形態を説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0022】

【発明の実施の形態】（実施の形態1）図9に示すのは、本発明の一実施の形態である半導体装置の要部を示す平面図であり、図10に示すのは図9中のa-a線に沿った縦断面図である。本実施の形態の半導体装置は、パワーHBTであり、通常大電流で動作させるため、図9に示すフィンガ状の半導体素子を複数並列に接続した構成となっている。

【0023】本実施の形態の半導体装置の各单位フィンガは、例えば、半絶縁性GaAsを用いた半導体基体1上にエピタキシャル形成されたn型コレクタ層2と、コレクタ層2上に形成されたp+型ベース層3と、ベース層3上に形成されたn型エミッタ層4とからなる縦型構造のバイポーラトランジスタとなっており、コレク

タ層2、ベース層3及びエミッタ層4は、夫々メサ形状として各フィンガ毎に分離する。

【0024】なお、コレクタ層2はノンドープGaAsのバッファ層2a、n型GaAsのサブコレクタ層2b、n型GaAsのコレクタ層2cを順次積層した構成となっており、エミッタ層4はn型InGaP層4a、n型GaAsのエミッタバラスト抵抗層4b、n型InGaPをn型GaAsに積層したオーミック層4cを順次積層した構成となっている。

【0025】なお、エピタキシャル層の層構造としては、更にInGaP等のエッチングストッパ層を、バッファ層2aとサブコレクタ層2bとの間、或いはサブコレクタ層2bとコレクタ層2cとの間に配置する構成としてもよい。また、本発明に用いられる半導体基板としては、半導体基体にエピタキシャル層等の半導体層を形成したもの以外に、半導体基体単体から構成されたものの、半導体基体に絶縁層を介して半導体層を形成したものの（SOI基板）等の種々の形態を含んでもよい。

【0026】コレクタ層2、ベース層3及びエミッタ層4には夫々コレクタ電極5、ベース電極6及びエミッタ電極7が接続されており、半導体基体1主面及び半導体基体1主面上に形成されたコレクタ電極5、ベース電極6、エミッタ電極7は、酸化珪素等の層間絶縁膜8によって覆われており、層間絶縁膜8に設けた開口5b、6bによって部分的に露出したコレクタ電極5、ベース電極6の夫々に、同層の配線層であるコレクタ共通配線9、ベース共通配線10が接続され、コレクタ共通配線9、ベース共通配線10は、酸化珪素等の層間絶縁膜12によって覆われている。

【0027】本実施の形態では、コレクタ共通配線9、ベース共通配線10と同層になるエミッタ取り出し配線を設けずに、層間絶縁膜8及び層間絶縁膜12に設けた開口によって部分的に露出したエミッタ電極に、コレクタ共通配線9、ベース共通配線10とは層の異なるエミッタ共通配線13（図9中では部分的に切り欠いて表示してある）を接続している。

【0028】本実施の形態の半導体装置では、エミッタ引き出し配線を設けていないので、コレクタ共通配線9及びベース共通配線10をベース電極6に近接させることができる。このため、単位フィンガの占有面積が減少する。また、エミッタ引き出し配線を設けずにエミッタ電極上にエミッタ共通配線を配置しているため、更に単位フィンガの占有面積が減少しており、図9に示す単位フィンガでは図1に示す従来の単位フィンガの略半分の占有面積で同等の機能を発揮させることが可能となった。特に、本実施の形態では、単位フィンガ当たりの占有面積を減少させるために、コレクタ電極5とコレクタ共通配線9との接続口5b上をエミッタ共通配線13が横切る配置となっている。

【0029】続いて、この半導体装置の製造方法につい

て、図11乃至図16を用いて工程毎に説明する。先ず、半絶縁性GaAs半導体基体1の上にMOCVD法等によって、コレクタ層2、ベース層3、エミッタ層4となるエピタキシャル層を成長させ、WSi等の金属膜を堆積させ、ドライエッチングにより金属膜をパターニング加工してエミッタ電極7を形成する。この状態を図11に示す。

【0030】次に、パターニングしたエミッタ電極7をマスクとしてエミッタ層4をメサ形状にエッチング加工する。エミッタ層4のエッチング加工は等方性のエッチングによって行ない、エミッタ層4をサイドエッチングして、エミッタ電極7に対して夫々オーバーハング形状とする。この状態を図12に示す。

【0031】次に、パターニングしたレジストマスクの上に金属膜を形成し、レジストマスク及びその上の金属膜をとともに除去するいわゆるリフトオフ法によりベース電極6をパターニングする。この状態を図13に示す。

【0032】次に、ベース層3をメサ形状にエッチングして各フィンガ毎に分離する所謂ベースメサエッチングを行ない、このエッチングによって露出したコレクタ層2上にコレクタ電極5を形成する。この状態を図14に示す。

【0033】次に、コレクタ層2をメサ形状にエッチングして複数のフィンガを電氣的に分離する。この状態を図15に示す。なお、コレクタ層2は数本のフィンガずつに共通としてもよい。

【0034】次に、プラズマCVD法により例えば酸化珪素からなる層間絶縁膜8を堆積させ、ホトリソグラフィにより形成したレジストマスクを用いてコレクタ電極5、ベース電極6の接続領域を露出させる開口を形成し、全面に例えばAuMoからなる金属膜を堆積させ、ホトリソグラフィによるレジストマスクを形成し、このレジストマスクを用いたイオンミリング等のパターニングによって、コレクタ共通配線9、ベース共通配線10を形成する。この状態を図16に示す。

【0035】この後、プラズマCVD法により例えば酸化珪素からなる層間絶縁膜12を堆積させ、ホトリソグラフィにより形成したレジストマスクを用いて及びエミッタ電極の接続領域を露出させる開口を形成し、全面に例えばAuMoからなる金属膜を堆積させ、ホトリソグラフィによるレジストマスクを形成し、このレジストマスクを用いたイオンミリング等のパターニングによって、エミッタ共通配線13を形成して、図10に示す状態となる。

【0036】（実施の形態2）図17に示すのは、本発明の他の実施の形態である半導体装置の要部を示す平面図である。本実施の形態の半導体装置は、パワーHBTであり、通常大電流で動作させるため、図17に示すフィンガ状の半導体素子を複数並列に接続した構成となっている。

【0037】本実施の形態の半導体装置の各单位フィンガは、例えば、半絶縁性GaAsを用いた半導体基体1上にエピタキシャル形成されたn型コレクタ層2と、コレクタ層2上に形成されたp+型ベース層3と、ベース層3上に形成されたn型エミッタ層4とからなる縦型構造のバイポーラトランジスタとなっており、コレクタ層2、ベース層3及びエミッタ層4は、夫々メサ形状として各フィンガ毎に分離する。

【0038】なお、コレクタ層2はノンドープGaAsのバッファ層2a、n型GaAsのサブコレクタ層2b、n型GaAsのコレクタ層2cを順次積層した構成となっており、エミッタ層4はn型InGaP層4a、n型GaAsのエミッタバラスト抵抗層4b、n+型InGaPをn型GaAsに積層したオーミック層4cを順次積層した構成となっている。また、本発明に用いられる半導体基板としては、半導体基体にエピタキシャル層等の半導体層を形成したもの以外に、半導体基体単体から構成されたもの、半導体基体に絶縁層を介して半導体層を形成したもの（SOI基板）等の種々の形態を含んでもよい。

【0039】コレクタ層2、ベース層3及びエミッタ層4には夫々コレクタ電極5、ベース電極6及びエミッタ電極7が接続されており、半導体基体1主面及び半導体基体1主面上に形成されたコレクタ電極5、ベース電極6、エミッタ電極7は、酸化珪素等の層間絶縁膜8によって覆われており、層間絶縁膜8に設けた開口によって部分的に露出したコレクタ電極5、ベース電極6の夫々に、同層の配線層であるコレクタ共通配線9、ベース共通配線10が接続され、コレクタ共通配線9、ベース共通配線10は、酸化珪素等の層間絶縁膜12によって覆われている。

【0040】本実施の形態では、コレクタ共通配線9、ベース共通配線10と同層になるエミッタ取り出し配線を設けずに、層間絶縁膜8及び層間絶縁膜12に設けた開口によって部分的に露出したエミッタ電極に、コレクタ共通配線9、ベース共通配線10とは層の異なるエミッタ共通配線13（図9中では部分的に切り欠いて表示してある）を接続している。

【0041】本実施の形態の半導体装置では、エミッタ面積に対してベースメサ領域の面積比を小さくするために、ベース層3及びエミッタ層4の平面形状が円形を基本としている。ベースメサ領域の面積は、コレクターベースの接合面積に対応するため、この面積に比例してエミッタ接地ベース入力方式の回路における負帰還容量が決まる。したがって、ベースメサ領域の面積比を小さくすることによって、回路としての利得を大きくすることができるので、パワー用途の出力効率を向上させることができる。

【0042】前記平面形状は円形を基本とするものであり、完全な円形ではなくても前述した目的を達成するこ

とができる。図17では環状のエミッタ層4を横切ってベース共通配線10が形成されるため、コレクタ共通配線9或いはベース共通配線10とエミッタ共通配線13とを同層とした場合には、ベース層3及びエミッタ層4の面積が大きくなり、コレクタベースの接合面積の減少が難しくなる。こうした問題を、本実施の形態はコレクタ共通配線9或いはベース共通配線10とエミッタ共通配線13とを別層とすることによって解決するものである。

【0043】以上、本発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0044】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1) 本発明によれば、エミッタ引き出し配線をなくして、エミッタ共通配線とコレクタ共通配線及びベース共通配線とを異なる層の配線とすることができるという効果がある。

(2) 本発明によれば、上記効果(1)により、コレクタ共通配線及びベース共通配線をベース電極に近接させることができるという効果がある。

(3) 本発明によれば、上記効果(1)により、エミッタ電極上にエミッタ共通配線を配置することができるという効果がある。

(4) 本発明によれば、上記効果(2)(3)により、単位フィンガの占有面積を減少させることができるという効果がある。

(5) 本発明によれば、上記効果(4)により、半導体装置の製造コストを低減させることができるという効果がある。

【図面の簡単な説明】

【図1】従来の半導体装置の要部を示す部分平面図である。

【図2】図1中のa-a線及びb-b線に沿った縦断面

図である。

【図3】従来の半導体装置の要部を工程毎に示す縦断面図である。

【図4】従来の半導体装置の要部を工程毎に示す縦断面図である。

【図5】従来の半導体装置の要部を工程毎に示す縦断面図である。

【図6】従来の半導体装置の要部を工程毎に示す縦断面図である。

【図7】従来の半導体装置の要部を工程毎に示す縦断面図である。

【図8】従来の半導体装置の要部を工程毎に示す縦断面図である。

【図9】本発明の一実施の形態である半導体装置の要部を示す部分平面図である。

【図10】図9中のa-a線に沿った縦断面図である。

【図11】本発明の一実施の形態である半導体装置の要部を工程毎に示す縦断面図である。

【図12】本発明の一実施の形態である半導体装置の要部を工程毎に示す縦断面図である。

【図13】本発明の一実施の形態である半導体装置の要部を工程毎に示す縦断面図である。

【図14】本発明の一実施の形態である半導体装置の要部を工程毎に示す縦断面図である。

【図15】本発明の一実施の形態である半導体装置の要部を工程毎に示す縦断面図である。

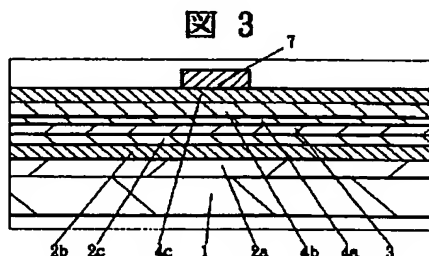
【図16】本発明の一実施の形態である半導体装置の要部を工程毎に示す縦断面図である。

【図17】本発明の他の実施の形態である半導体装置の要部を示す部分平面図である。

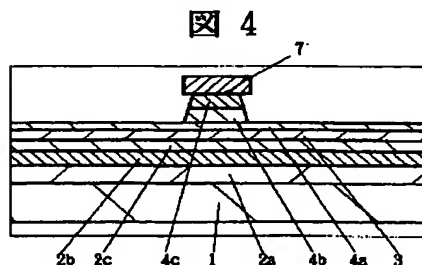
【符号の説明】

1…半導体基体、2…コレクタ層、3…ベース層、4…エミッタ層、5…コレクタ電極、6…ベース電極、7…エミッタ電極、8、12…層間絶縁膜、9…コレクタ共通配線、10…ベース共通配線、11…エミッタ取り出し配線、13…エミッタ共通配線。

【図3】

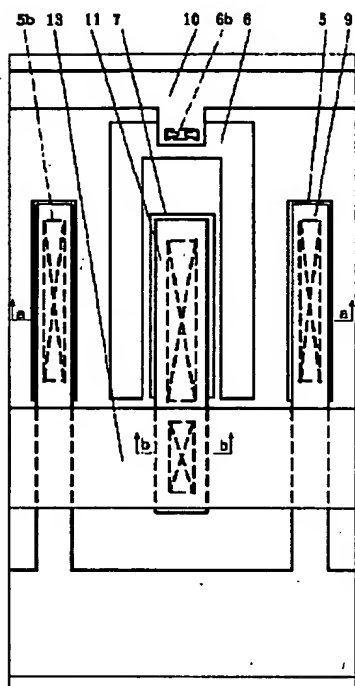


【図4】



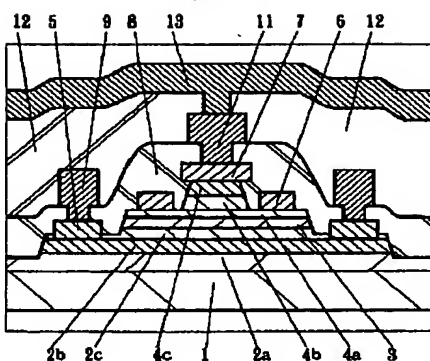
【図1】

図1



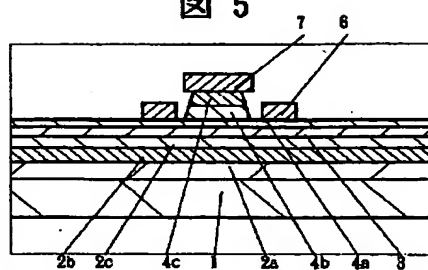
【図2】

図2



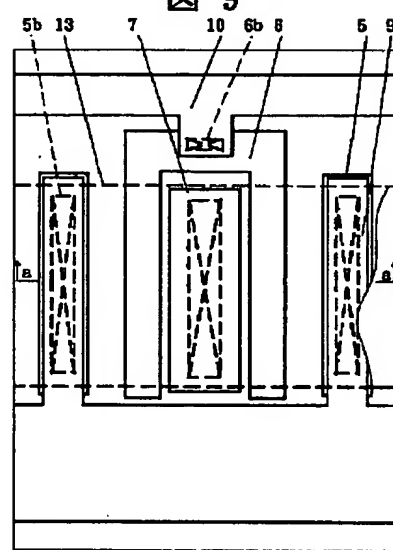
【図5】

図5



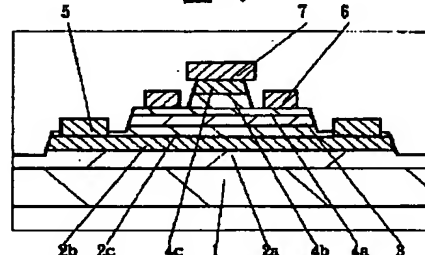
【図9】

図9



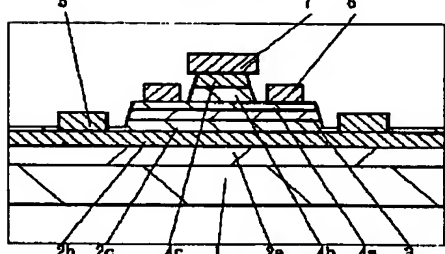
【図7】

図7



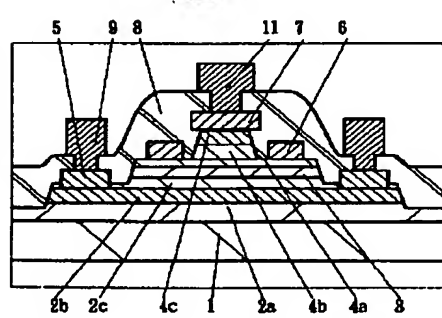
【図6】

図6

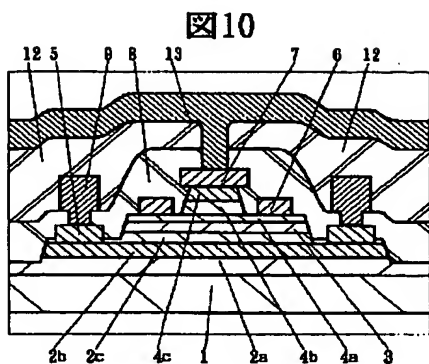


【図8】

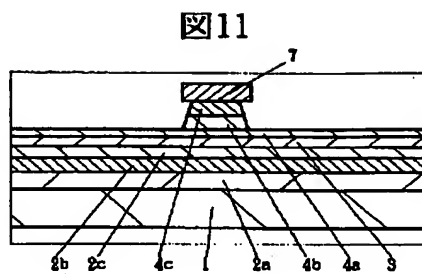
図8



【図10】

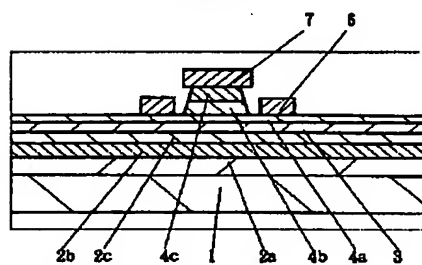


【図11】



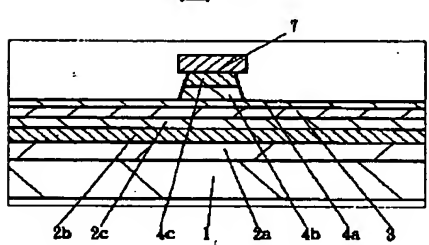
【図13】

図13



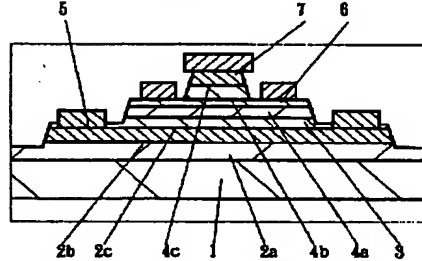
【図12】

図12



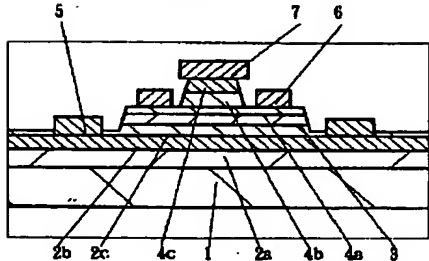
【図15】

図15



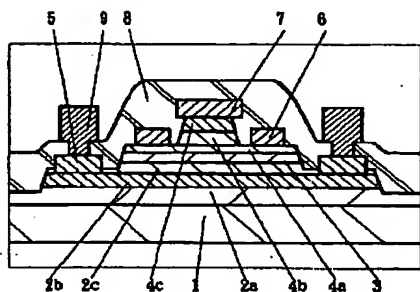
【図14】

図14



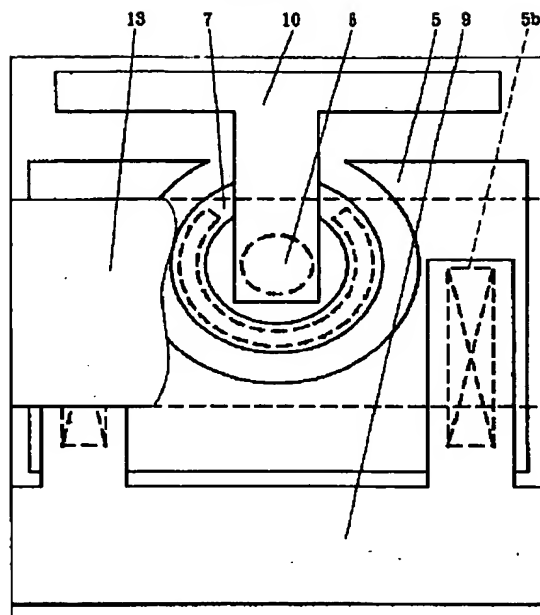
【図16】

図16



【図17】

図17



フロントページの続き

(72)発明者 北原 敏昭
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
(72)発明者 今村 慶憲
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
(72)発明者 野島 元
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

30 Fターム(参考) 4M104 AA05 AA09 BB09 BB16 BB28
CC01 DD06 DD16 DD43 DD65
DD68 EE08 EE14 FF03 GG06
GG18 HH00
5F003 BA92 BE05 BF06 BH01 BH94
BM02
5F033 GG02 HH13 HH20 HH28 JJ01
JJ13 JJ20 JJ28 KK01 KK28
NN38 PP11 QQ08 QQ09 QQ11
QQ14 QQ37 QQ41 RR04 SS15
TT02 UU04 VV00 XX00 XX31
XX34

40